

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11901959

Basic Patent (No,Kind,Date): JP 6202156 A2 940722 <No. of Patents: 001>

DRIVER MONOLITHIC DRIVING ELEMENT (English)

Patent Assignee: SHARP KK

Author (Inventor): KATAOKA YOSHIHARU; KONDO NAOFUMI; KATAYAMA

MIKIO; SHIMADA YOSHIHIRO; KAWAI KATSUHIRO; MIYANOCHI MAKOTO

IPC: *G02F-001/136; H01L-029/784

Derwent WPI Acc No: *G 94-273888; G 94-273888

JAPIO Reference No: *180557P000076; 180557P000076

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 6202156	A2	940722	JP 92349408	A	921228 (BASIC)

Priority Data (No,Kind,Date):

JP 92349408 A 921228

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04731156 **Image available**

DRIVER MONOLITHIC DRIVING ELEMENT

PUB. NO.: 06-202156 [JP 6202156 A]

PUBLISHED: July 22, 1994 (19940722)

INVENTOR(s): KATAOKA YOSHIHARU

KONDO NAOFUMI

KATAYAMA MIKIO

SHIMADA YOSHIHIRO

KAWAI KATSUHIRO

MIYANOCHI MAKOTO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-349408 [JP 92349408]

FILED: December 28, 1992 (19921228)

INTL CLASS: [5] G02F-001/136; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To provide a driver monolithic driving element capable of improving an on/off ratio when it is used as an inverter circuit, realizing the design of a logic/driving circuit with high reliability, and suitable for a display device such as a high definition active matrix type liquid crystal display device, etc.

CONSTITUTION: A gate electrode 12, gate insulating film 13, a semiconductor layer 14, an n^(sup +)-type semiconductor device layer 16, a source electrode 17, a drain electrode 18, and channel protective film 19 are laminated on an insulating substrate 11 in the above sequence, and a fourth electrode 15 is provided at a part on the channel protective film 19 and equivalent to the upper side of the gate electrode 12. The fourth electrode 15 is drawn out outside the logic/ driving circuit, and is connected to a minus power source, and a prescribed minus power voltage is applied to it from the minus power source. Thereby, the element characteristic of the driver monolithic driving element 21 can be improved, which improves the on/off ratio when the inverter circuit is configured.

特開平6-202156

(43)公開日 平成6年(1994)7月22日

(51) Int. Cl. 5
 G02F 1/136 500 9018-2K
 H01L 29/784

9056-4M H01L 29/78 311 G

F I

審査請求 未請求 請求項の数1 (全6頁)

(21)出願番号 特願平4-349408

(22)出願日 平成4年(1992)12月28日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 片岡 義晴

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 近藤 直文

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 片山 幹雄

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 弁理士 山本 秀策

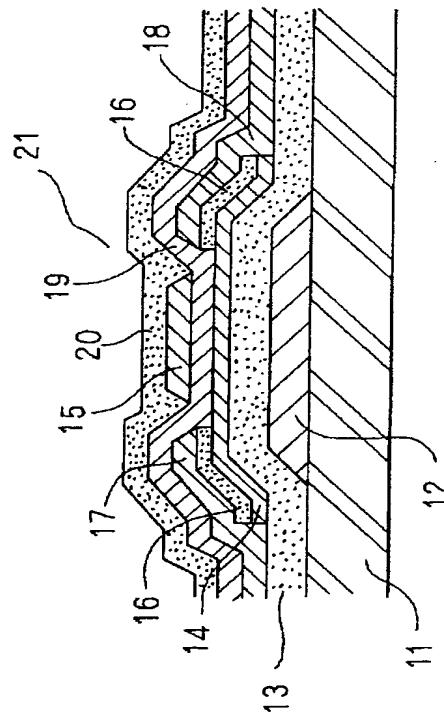
最終頁に続く

(54)【発明の名称】ドライバーモノリシック駆動素子

(57)【要約】

【目的】インバータ回路として使用する場合にそのON/OFF比を向上でき、高信頼性の論理・駆動回路の設計が可能になり、大型、高精細のアクティブマトリクス型液晶表示装置等の表示装置に好適なドライバーモノリシック駆動素子を実現する。

【構成】絶縁性基板1上に、ゲート電極12、ゲート絶縁膜13、半導体層14、n⁺型半導体素子層16、ソース電極17及びドレイン電極18、チャネル保護膜19をこの順に積層し、チャネル保護膜19上であってゲート電極12の上方に相当する部分に第4電極15を設ける。第4電極15は論理・駆動回路の外部に引き出されてマイナス電源に接続され、マイナス電源より所定のマイナス電圧が印加される。これにより、ドライバーモノリシック駆動素子21の素子特性が改善され、インバータ回路を構成した場合にそのON/OFF比を向上できる。



【特許請求の範囲】

【請求項1】 走査線、信号線、絵素電極およびスイッチング素子が形成されたアクティブマトリクス基板と対向電極が形成された対向基板とを貼り合わせ、両基板間に表示媒体としての液晶が封入されたアクティブマトリクス型液晶表示装置等の表示装置の周辺部に設けられる論理・駆動回路を構成するドライバーモノリシック駆動素子において、

該アクティブマトリクス基板上に設けられたゲート電極と、

ゲート絶縁膜を介して該ゲート電極に重疊された半導体層と、

該半導体層に重疊して設けられたチャネル保護膜と、該チャネル保護膜に重疊された状態で、かつ相互に離隔した状態で設けられたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との離隔部分に該チャネル保護膜に重疊して設けられた第4電極とを備え、該第4電極をマイナス電源に接続したドライバーモノリシック駆動素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型液晶表示装置等の表示装置に用いられるドライバーモノリシック駆動素子に関し、より詳しくは論理・駆動回路を構成するドライバーモノリシック駆動素子に関する。

【0002】

【従来の技術】 液晶表示装置の駆動方式として、単純マトリクス駆動方式とアクティブマトリクス駆動方式があり、アクティブマトリクス駆動方式は、絶縁性基板上にマトリクス状に配した絵素電極を、各絵素毎に設けたアクティブ素子にて独立して駆動する駆動方式を探る。

【0003】 アクティブ素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁膜-金属）素子、MOSトランジスタ素子、ダイオード、パリスタ等が一般に知られている。

【0004】 図3はTFTをアクティブ素子として用いたアクティブマトリクス型液晶表示装置の等価回路を示す。このアクティブマトリクス型液晶表示装置は、ガラス基板からなる絶縁性基板上に走査線として機能する多数のゲートバスライン61、61…が横方向に相互に平行に配線され、これと直交する縦方向に信号線として機能する多数のソースバスライン62、62…が相互に平行に配線されている。各ゲートバスライン61と各ソースバスライン62とが交差する位置の近傍には、それぞれアクティブ素子としてのTFT63、63…が配置されている。TFT63のゲート電極はゲートバスライン61に接続され、ソース電極はソースバスライン62に接続されている。更に、TFT63のドレイン電極に

は、ゲートバスライン61とソースバスライン62で囲まれた領域にマトリクス状に配設された絵素電極64が接続されている。絵素電極64と図示しない対向基板に形成された対向電極との間に液晶が封入され、絵素が形成されている。

【0005】 絶縁性基板の周辺部、すなわち表示領域の周辺部には、各TFT63を駆動するための論理・駆動回路66、66…および67、67…が設けられている。論理・駆動回路66および67はシフトレジスタ等

10 からなる駆動波形形成用の回路からなり、次に述べるドライバーモノリシック駆動素子を備えている。各論理・駆動回路66、66…は各ゲートバスライン61、61…の端末に接続されている。また、各論理・駆動回路67、67…の端末は各ソースバスライン62、62…の端末に接続されている。

【0006】 上記のような液晶表示装置において、従来、絵素内に設けられたTFT63と表示領域の周辺部に設けられた論理・駆動回路66、67に用いられるドライバーモノリシック駆動素子は、同一構造の同様な特性を有する素子で構成されていた。

【0007】 図4はこのようなドライバーモノリシック駆動素子を有する2段インバータ回路の等価回路を示す。この2段インバータ回路は、2つ一組のドライバーモノリシック駆動素子21を2段、すなわち合計4個設けて構成されており、信号入力端子22より入力された信号電圧がこれらのドライバーモノリシック駆動素子21、21、21、21を介することにより、反転増幅されて信号出力端子23より出力されるインバータ回路になっている。なお、図中24はこの2段インバータ回路に電源電圧Vddを印加する電源端子であり、25はGNDである。

【0008】 図5はこのインバータ回路に用いられるドライバーモノリシック駆動素子21の断面構造を示す。このドライバーモノリシック駆動素子21は、従来一般的の逆スタガー型のTFTと同一の構造になっており、以下の工程で作製される。

【0009】 まず、絶縁性基板11上にゲート電極12を形成する。続いて、ゲート電極12を覆うようにして絶縁性基板11上にゲート絶縁膜13を形成する。次に、その上に半導体層14を積層形成し、半導体層14の両側にn'にドープされたn'半導体層16を配する。続いて、n'半導体層16の上にソース電極17およびドレイン電極18を形成し、これらの積層体の上にトランジスター保護膜として保護膜20を積層する。

【0010】

【発明が解決しようとする課題】 このような構造を有するドライバーモノリシック駆動素子21の素子特性は、TFT63と同様に図2の曲線31に示すような特性を有している。なお、図2は縦軸にドライバーモノリック駆動素子21のドレイン電流Id、[A]を、横軸にゲ

ート電圧 V_s [V]をとて、ドライバーモノリシック駆動素子21の出力静特性を示している。

【0011】このような特性を有するドライバーモノリシック駆動素子21を用いて上記のような2段インバータ回路を構成した場合、論理・駆動回路66および67に与えられる動作点は、GND25と電源端子24に印加される電源電圧 V_d により決定され、図2の0Vから V_d の範囲になる。

【0012】従って、図2の曲線31に示す素子特性では、トランジスタ（ドライバーモノリシック駆動素子）のオフ電流 I_{off} の悪い（高い）領域でドライバーモノリシック駆動素子21が使用されるため、このドライバーモノリシック駆動素子21を用いたインバータ回路のON/OFF比が悪くなる。この結果、このようなインバータ回路を構成要素とする論理・駆動回路66および67の信頼性が低下するという問題があった。

【0013】このような問題点は、論理・駆動回路66および67に接続されるTFT63等のアクティブ素子の数が多くなる大型、高精細のマトリクス表示装置になるほど、論理・駆動回路66および67のより高い信頼性が要求されるため、問題点の解決の必要性は一層大きくなる。

【0014】本発明はこのような従来技術の問題点を解決するものであり、インバータ回路として使用する場合にそのON/OFF比を向上でき、このようなインバータ回路が組み込まれる論理・駆動回路の信頼性を格段に向上できる結果、大型、高精細のアクティブマトリクス型液晶表示装置等の表示装置に好適な論理・駆動回路を実現できるドライバーモノリシック駆動素子を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明のドライバーモノリシック駆動素子は、走査線、信号線、絵素電極およびスイッチング素子が形成されたアクティブマトリクス基板と対向電極が形成された対向基板とを貼り合わせ、両基板間に表示媒体としての液晶が封入されたアクティブマトリクス型液晶表示装置等の表示装置の周辺部に設けられる論理・駆動回路を構成するドライバーモノリシック駆動素子において、該アクティブマトリクス基板上に設けられたゲート電極と、ゲート絶縁膜を介して該ゲート電極に重疊された半導体層と、該半導体層に重疊して設けられたチャネル保護膜と、該チャネル保護膜に重疊された状態で、かつ相互に離隔した状態で設けられたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との離隔部分に該チャネル保護膜に重疊して設けられた第4電極とを備え、該第4電極をマイナス電源に接続しており、そのことにより上記目的が達成される。

【0016】

【作用】上記のように第4電極を設け、この第4電極

を、例えば論理・駆動回路の外部に設けられるマイナス電源に接続し、マイナス電圧を与えるものとすると、ドライバーモノリシック駆動素子のオフ電流 I_{off} を、このような第4電極が設けられていない上記従来例よりも低減できる。

【0017】すなわち、上記構成によれば、素子特性を示す曲線は図2に示す曲線32になり、素子特性が曲線31で表される上記従来のドライバーモノリシック駆動素子とは異なり、 I_{off} の良好な領域でドライバーモノリシック駆動素子を使用することができる。従って、本発明のドライバーモノリシック駆動素子を用いたインバータ回路によれば、そのON/OFF比を向上でき、高信頼性の論理・駆動回路を設計できる。

【0018】

【実施例】本発明の実施例について以下に説明する。

【0019】図1に本発明のドライバーモノリシック駆動素子の一例として、逆スタガー型のドライバーモノリシック駆動素子21を示す。このドライバーモノリシック駆動素子21は、絶縁性基板11の周辺部、すなわち表示領域の周辺部に作製され、絶縁性基板11上に、ゲート電極12、ゲート絶縁膜13、半導体層14、 n^+ 型半導体素子層16、ソース電極17およびドレン電極18、チャネル保護膜19、第4電極15、保護膜20をこの順に積層した構造になっている。

【0020】このドライバーモノリシック駆動素子21は以下の製造工程によって作製される。まず、ガラス基板からなる絶縁性基板11上にゲート電極12を形成する。ゲート電極12は一般にTa、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu等の単層又は多層金属及びそれらの合金により形成される。本実施例のゲート電極12は、Taをスパッタ装置を用いて300nm程度の厚みで形成した。

【0021】このとき、同時にゲートバスラインやTFTのゲート電極が形成される。なお、絶縁性基板11上にTa_xO_y、Al_xO_y、Si_xN_y等からなるベース絶縁膜を形成し、その上にゲート電極12を形成することにしてもよい。

【0022】次に、ゲート電極12上にゲート絶縁膜13をCVD、スパッタ等にて形成する。本実施例ではゲート絶縁膜13として、SiNx（例えば、Si_xN_y）を用いた。他にSiO_x、Ta_xO_y、Al_xO_y、TiO_x、Y_xO_y、その他の酸化物又は窒化物によって形成され得る絶縁膜を用いてもよい。また、ゲート絶縁膜13の膜厚は、一般に150nm～600nm程度が適切であるが、本実施例では200nm～350nmに設定し、ゲート電極12と上層の金属との非導通状態を維持した構造になっている。

【0023】次に、ゲート絶縁膜13の上に半導体層14を形成する。本実施例ではCVDにより真性アモルファスSi半導体を50nm成膜し、続いてこれをパタ-

ニングして半導体層14を形成した。

【0024】次に、ドライバーモノリシック駆動素子21のON時の接触抵抗を小さくし、OFF時の漏れ電流(リーク電流)の低減を図るため、本実施例では半導体層14上の、後にドライバーモノリシック駆動素子21のソース及びドレイン部が重畠して形成される部分に、n'にドープされたアモルファスSiにてn'型半導体素子層16を厚み30nmで形成した。

【0025】続いて、n'型半導体素子層16の上に、ソース電極17およびドレイン電極18を適当な離隔寸法を設けて形成する。ソース電極17およびドレイン電極18は一般的にTa、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu等の単層または多層金属および合金で形成されるが、本実施例ではTiを用いて厚さ300nm程度で形成した。

【0026】次に、ソース電極17およびドレイン電極18の上にチャネル保護膜19を形成する。チャネル保護膜19は、CVD、スパッタ等にて形成されるが、本実施例ではSiNx(例えば、Si_xN_y)をCVDにより成膜して形成した。チャネル保護膜19としては、他にSiO_x、Ta_xO_y、Al_xO_y、TiO_x、Y_xO_y、その他の酸化物或は窒化物によって形成され得る絶縁膜を用いることもできる。また、チャネル保護膜19の膜厚は150nm~600nm程度が適切であるが、本実施例では200nm~350nmに設定した。

【0027】次に、チャネル保護膜19上のゲート電極12の上部に相当する部分に第4電極15を形成する。第4電極15は、一般的にTa、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu等の単層又は多層金属および合金で形成されるが、本実施例ではTiを用いて厚さ300nm程度で形成した。

【0028】上記の第4電極15は絶縁基板11の周辺部に形成され、ゲートバスラインおよびソースバスラインとそれぞれ個別に接続される論理・駆動回路の外部に引き出され、マイナス電源(図示せず)に接続されている。第4電極15にはマイナス電源より所定のマイナス電圧が印加され、これでドライバーモノリシック駆動素子21のV_g-I_d特性が図2の曲線31から曲線32にシフトされるようになっている。

【0029】従って、本実施例のドライバーモノリシック駆動素子21によれば、上記従来例のドライバーモノリシック駆動素子21とは異なり、I_{off}の良好な領域でドライバーモノリシック駆動素子を使用することができる。従って、本発明のドライバーモノリシック駆動素子を用いたインバータ回路によれば、そのON/OFF比を向上でき、高信頼性の論理・駆動回路を設計できる。

【0030】なお、本実施例では第4電極15の上に、絶縁性基板11を覆うようにして絶縁膜を形成し、ドラ

イバーモノリシック駆動素子21の保護膜20として機能させており、以上の製造工程で本発明のドライバーモノリシック駆動素子21が作製される。

【0031】

【発明の効果】以上の中発明ドライバーモノリシック駆動素子は、マイナス電源に接続される第4電極を設ける素子構成をとるので、ON/OFF比が大きい利得の高いインバータ回路を作製することができる。従って、このようなインバータ回路を構成要素とし、アクティブマトリクス型液晶表示装置等の表示装置に使用される論理・駆動回路の信頼性を格段に向かうことができる。それ故、論理・駆動回路としてこのような高信頼性の論理・駆動回路が要求される大型、高精細のマトリクス型表示装置の実現に大いに寄与できる。

【図面の簡単な説明】

【図1】本発明ドライバーモノリシック駆動素子の一例である、逆スタガー型ドライバーモノリシック駆動素子を示す断面図。

【図2】本発明ドライバーモノリシック駆動素子と従来のドライバーモノリシック駆動素子のV_g-I_d特性を比較して示す出力静特性図。

【図3】従来のドライバーモノリシック駆動素子が搭載されたアクティブマトリクス型液晶表示装置の等価回路図。

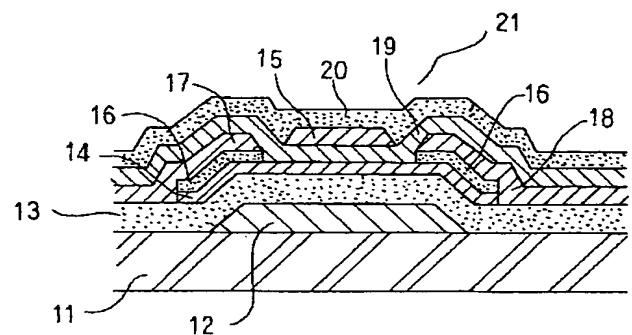
【図4】従来のドライバーモノリシック駆動素子を用いた2段インバータ回路の等価回路図。

【図5】従来のドライバーモノリシック駆動素子を示す断面図。

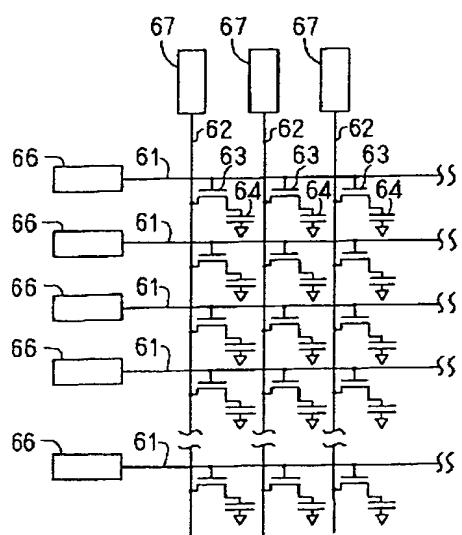
【符号の説明】

- | | |
|----|---------------------|
| 30 | 1 1 絶縁性基板 |
| | 1 2 ゲート電極 |
| | 1 3 ゲート絶縁膜 |
| | 1 4 半導体層 |
| | 1 5 第4の電極 |
| | 1 6 n'型半導体層 |
| | 1 7 ソース電極 |
| | 1 8 ドレイン電極 |
| | 1 9 チャネル保護膜 |
| | 2 0 保護膜 |
| 40 | 2 1 ドライバーモノリシック駆動素子 |
| | 2 2 信号入力端子 |
| | 2 3 信号出力端子 |
| | 2 4 電源端子 |
| | 2 5 GND |
| | 6 1 ゲートバスライン |
| | 6 2 ソースバスライン |
| | 6 3 TFT(アクティブ素子) |
| | 6 4 絵素電極 |
| | 6 6, 6 7 論理・駆動回路 |

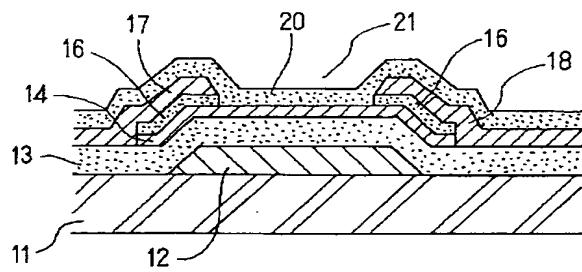
【図 1】



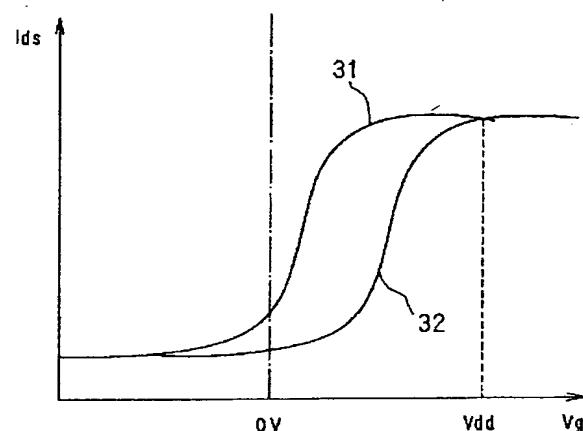
【図 3】



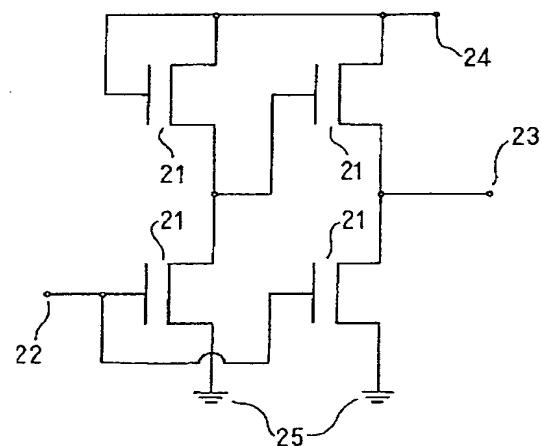
【図 5】



【図 2】



【図 4】



フロントページの続き

- (72)発明者 嶋田 吉祐
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
- (72)発明者 川合 勝博
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
- (72)発明者 宮後 誠
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内